

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-228786

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

G11C 16/02

(21)Application number : 09-031810

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.02.1997

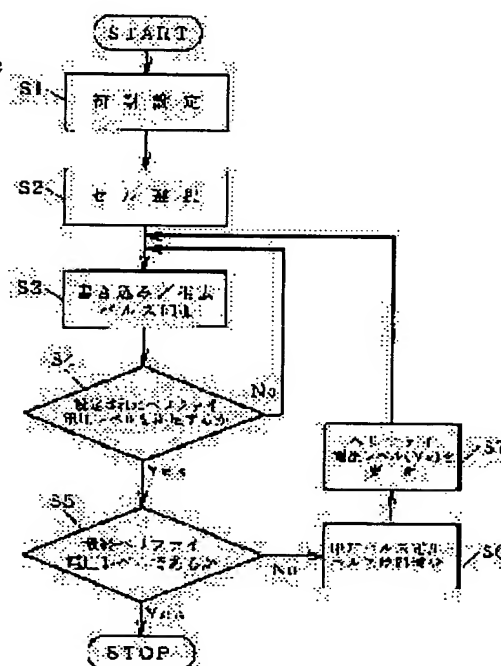
(72)Inventor : TSUJI NAOKI

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY AND ITS THRESHOLD VALUE CONTROL METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence of over program bit at the time of writing and erasing operation in a non-volatile semiconductor memory and its threshold value control method.

SOLUTION: When data is written in a memory cell transistor, initial setting of applied pulse voltage, a pulse duration, and a verifying voltage level is performed (step S1), and a memory cell transistor of one bit performing write-in is selected (step S2), and pulse voltage is applied (step S3). At the time, it is judged whether the set verifying voltage level is satisfied or not (step S4), when it is not satisfied, a pulse is applied again (step S3). When it is satisfied, it is judged whether the level is the last verifying voltage level or not (step S5), when it is not satisfied, applied pulse voltage, pulse duration are decreased (step S6), and a verifying voltage level is updated (step S7). If it is satisfied, writing is finished.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-228786

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 0 1 Q

6 1 1 A

審査請求 未請求 請求項の数8 O L (全 18 頁)

(21) 出願番号 特願平9-31810

(22) 出願日 平成9年(1997) 2月17日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 辻 直樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

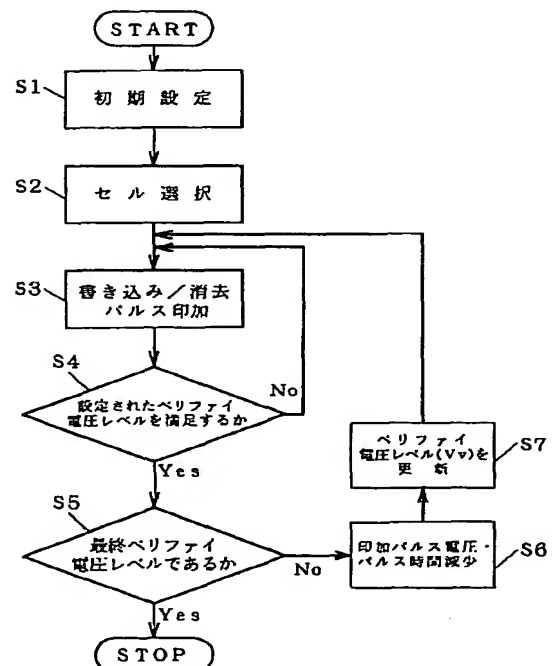
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 不揮発性半導体記憶装置及びその閾値制御方法

(57) 【要約】

【課題】 不揮発性半導体記憶装置及びその閾値制御方法において、書き込み及び消去の動作の際にオーバープログラムビットの発生の抑制を図る。

【解決手段】 メモリセルトランジスタの書き込みをするにあたって、印加パルス電圧・パルス時間及びペリファイ電圧レベルの初期設定を行い（ステップS1）、書き込みを行う1ビットのメモリセルトランジスタを選択し（ステップS2）、パルス電圧印加を行う（ステップS3）。この時、設定されたペリファイ電圧レベルを満足するかの判断を行い（ステップS4）、満足しなければ再度パルス印加を行う（ステップS3）。もし、満足するのであれば最終ペリファイ電圧レベルであるかどうかの判断を行い（ステップS5）、満足しなければ印加パルス電圧・パルス時間の減少を図り（ステップS6）、ペリファイ電圧レベルを更新する（ステップS7）。もし、満足するのであれば書き込みは終了する。



(2)

特開平10-228786

1

2

## 【特許請求の範囲】

【請求項1】 メモリセルアレイを有し、該メモリセルアレイにおけるメモリトランジスタの閾値を変化させることにより情報を記憶する不揮発性半導体記憶装置であって、

前記メモリセルトランジスタの閾値を変化させるためのパルスが発生するパルス発生器を備え、前記パルスはパルス電圧、パルス時間の少なくとも一方が可変であり、前記パルスによる前記メモリセルトランジスタの閾値の変化をベリファイするためのベリファイ電圧を発生するベリファイ電圧発生器をさらに備え、前記ベリファイ電圧は少なくとも第1、第2のベリファイ電圧を含み、前記メモリセルトランジスタの閾値変化時に、当該閾値が前記第1、第2のベリファイ電圧の間に入ったことに応答して、前記パルス発生器における前記パルス電圧の絶対値、パルス時間の少なくとも一方を減少させる制御手段をさらに備える、不揮発性半導体記憶装置。

【請求項2】 前記ベリファイ電圧は第1～第 $n$  ( $n \geq 3$ ) のベリファイ電圧を含み、

前記制御手段は、前記メモリセルトランジスタの閾値変化時に、当該閾値が第1、第2のベリファイ電圧の間、第2、第3のベリファイ電圧の間、・・・第( $n-1$ )、第 $n$ のベリファイ電圧の間に入る毎に順次これに応答して、前記パルス発生器における前記パルス電圧の絶対値、パルス時間の少なくとも一方を順次減少させる、請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記制御手段による前記パルス電圧の絶対値、パルス時間の少なくとも一方の減少は、前記メモリセルトランジスタのドレインに印加される前記パルスについて行われる、請求項1又は2記載の不揮発性半導体記憶装置。

【請求項4】 前記制御手段による前記パルス電圧の絶対値、パルス時間の少なくとも一方の減少は、前記メモリセルトランジスタのコントロールゲートに印加される前記パルスについて行われる、請求項1又は2記載の不揮発性半導体記憶装置。

【請求項5】 前記制御手段による前記パルス電圧の絶対値、パルス時間の少なくとも一方の減少は、前記メモリセルトランジスタのドレイン及びコントロールゲートに印加される前記パルスについて行われる、請求項1又は2記載の不揮発性半導体記憶装置。

【請求項6】 メモリセルアレイを有し、該メモリセルアレイにおけるメモリセルトランジスタの閾値を変化させることにより情報を記憶する不揮発性半導体記憶装置の閾値制御方法であって、

前記メモリセルトランジスタの閾値の変化をベリファイしつつ前記閾値を第1の変化割合で変化させる第1のステップと、

前記第1のステップにおいて前記閾値が第1のベリファイ電圧と第2のベリファイ電圧の間に入ったことに応答

して、前記閾値の変化をベリファイしつつ前記閾値を前記第1の変化割合よりも緩やかな第2の変化割合で変化させる第2のステップと、を備える不揮発性半導体記憶装置の閾値制御方法。

【請求項7】 前記閾値が第1、第2のベリファイ電圧の間、第2、第3のベリファイ電圧の間、・・・第( $n-1$ )、第 $n$ のベリファイ電圧の間 ( $n \geq 3$ ) に入る毎に順次これに応答して、前記閾値の変化割合を順次緩やかな変化割合に変更しつつ前記閾値を変化させることを特徴とする、請求項6記載の不揮発性半導体記憶装置の閾値制御方法。

【請求項8】 前記メモリセルトランジスタの前記閾値の変化割合の変更は、前記閾値を変化させるために前記メモリセルトランジスタに印加されるパルスにおけるパルス電圧の絶対値、パルス時間の少なくとも一方を減少させることにより行われる、請求項6又は7記載の不揮発性半導体記憶装置の閾値制御方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、不揮発性半導体記憶装置に関し、特に、電気的な情報の書き込み及び消去が可能な不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】 従来の不揮発性半導体記憶装置におけるDINOR型(AND型)、NOR型及びNAND型のフラッシュメモリの書き込み動作を説明する断面図を、図41、図44及び図45に示す。また、DINOR型(AND型)のフラッシュメモリに書き込み電圧を印加した場合に、ベリファイごとの書き込み時間を一定(400 $\mu$ SEC)とした場合のメモリセルトランジスタの閾値の変化を図42、ベリファイごとの書き込み時間を徐々に長くした場合のメモリセルトランジスタの閾値の変化を図43に示す。

【0003】 図41～図45において各参照符号は次のものを示す。100はゲート端子、101はドレイン端子、102はフローティング状態のソース端子、103はコントロールゲート、104はフローティングゲート、105は $n^+$ 拡散層であるドレイン、106は $n^+$ 拡散層であるソース、107は接地されている $p$ 型半導体基板、108、110はメモリセルトランジスタの書き込み速度が遅い時のグラフ、109、111はメモリセルトランジスタの書き込み速度が速い時のグラフ、112は接地されているソース端子、113は接地されているドレイン端子である。

【0004】 図41に示すように、DINOR型(AND型)のフラッシュメモリにおいての書き込みは、コントロールゲート端子100、ドレイン端子101及びソース端子102を、それぞれ負あるいはゼロの電位( $V_g \leq 0V$ )、正の電位( $V_d > 0V$ )、フローティング

10

20

30

40

50

(3)

特開平10-228786

3

の状態にし、FNTトンネル現象を利用することで、フローティングゲート104から電子を引き抜きドレイン105へ移動させることで行っていた(IEICE TRANS. ELECTRON, VOL. E77-C, NO. 8, AUGUST 1994の1279-1285頁及びIEDM 1992の991-993頁記載)。一方、NOR型のフラッシュメモリの場合、図44に示すように、コントロールゲート端子100、ドレイン端子101、ソース端子112を、それぞれ正の電位( $V_g > 0V$ )、正の電位( $V_d > 0V$ )、GND電位の状態にし、電子をGNDからソース106、p型半導体基板107を介し、フローティングゲート104へ注入することで書き込みを行っていた(IEDM 1990の115-118頁)。又、図45に示すように、NAND型フラッシュメモリにおいては、コントロールゲート端子100、ソース端子112、ドレイン端子113を、それぞれ正の電位( $V_g > 0V$ )、GND電位、GND電位の状態にし、FNTトンネル現象を利用することで、電子をGND接地されているp型半導体基板107から抜き出し、フローティングゲート104へ注入することで書き込みを行っていた(IEDM 1987の552-555頁)。

【0005】このような不揮発性半導体記憶装置の書き込みにおいては、各端子(ドレイン端子、コントロールゲート端子、ソース端子)に印加する電圧を一定値にするか、又はベリファイごとに不揮発性半導体記憶装置に印加する電圧が最大値に達するまで徐々に各端子の印加電圧の差を大きくしていた。

【0006】図42に示すように、メモリセルトランジスタが書き込みされやすく、1回目に書き込みでベリファイ閾値電圧( $V_v$ )に限りなく近くなったメモリセルトランジスタ(109)の閾値(109a)が、ベリファイ後の2回目のメモリセルトランジスタへの書き込みで0V(オーバープログラムレベル $V_o$ )以下の閾値(109b)となっている。それに対して、1回目の書き込みで書き込みが遅く、ベリファイ閾値電圧よりある程度大きい閾値(108a)のメモリセルトランジスタ(108)は次の書き込みで、ベリファイ閾値電圧( $V_v$ )と0V( $V_o$ )の間に閾値(108b)が設定され $V_o$ 以下とならないためオーバープログラム不良とはならない。

【0007】また、この現象はフラッシュメモリの低電圧化が進み、ベリファイ閾値電圧が低くなる(0Vに近づく)ほど厳しくなるのはいうまでもない。

【0008】さらに、図43に示すように、あるベリファイ回数毎に書き込み電圧印加時間を段々と長くするという方式も存在する。この方式の場合は、閾値電圧がベリファイ閾値電圧に限りなく近いメモリセルトランジスタに、次の書き込みでそれまでより長い時間書き込み電圧が印加されると、前述の書き込み時間一定の場合よりさらに、オーバープログラム不良になりやすい。

【0009】

4

【発明が解決しようとする課題】従来の不揮発性半導体記憶装置は上記のように構成されているので、次のような問題点を内包している。即ち、図42の従来技術では、メモリセルトランジスタの閾値電圧がベリファイ閾値電圧 $V_v$ に限りなく近い場合(109a)、大きく離れている場合(108a)に関係なく、メモリセルトランジスタに加える電圧及び時間は一定である。そこで、書き込み速度が速く、閾値がベリファイ閾値電圧 $V_v$ に限りなく近くなったメモリセルトランジスタの場合(109a)は、ベリファイ後の次の書き込みで閾値が0V以下になり(109b)、オーバープログラム不良になることがあるという問題があった。

【0010】又、本現象は印加電圧が高く、一回の書き込み量が多い(書き込み速度が速い)方が起こりやすい。それに対して、書き込み閾値の制御性を高めるために、印加電圧を小さくして書き込み速度を遅くすると、トータルの書き込み時間の大幅な増大を招くという問題が生じていた。

【0011】さらに、図43に示すように、あるベリファイ回数毎に書き込み電圧印加時間を段々と長くするという方式の場合は、前述したように図42の書き込み時間一定の場合よりさらに、オーバープログラム不良になりやすいという問題があった。

【0012】以上は、書き込みがフローティングゲートからの電子の引き抜きに相当するDINOR型及びAND型フラッシュメモリについて説明したが、書き込みがフローティングゲートへの電子の注入に相当するNOR型及びNAND型フラッシュメモリにおいても上記と同様の問題がある。すなわち、NOR型やNAND型フラッシュメモリで多値フラッシュメモリを構成する場合、書き込みレベルを複数設定する必要がある。そして情報の書き込みは、メモリセルトランジスタの閾値を複数の書き込みレベルのうちの特定のレベル間に正確に収める必要がある。この場合に、上述したオーバープログラムと同様の問題(前記特定のレベル間から書き込み閾値が外れる場合)が発生するので、書き込み閾値の制御性を向上させなければならない。

【0013】この発明は、上記のような問題点を解消するためになされたものであり、閾値変化の制御性を良くすることでオーバープログラムビットの発生を抑制する不揮発性半導体記憶装置及びその閾値制御方法を提供することを目的としている。

【0014】

【課題を解決するための手段】第1の発明に係る不揮発性半導体記憶装置は、メモリセルアレイを有し、該メモリセルアレイにおけるメモリトランジスタの閾値を変化させることにより情報を記憶する不揮発性半導体記憶装置であって、前記メモリセルトランジスタの閾値を変化させるためのパルスが発生するパルス発生器を備え、前記パルスはパルス電圧、パルス時間の少なくとも一方が

5

可変であり、前記パルスによる前記メモリセルトランジスタの閾値の変化をベリファイするためのベリファイ電圧を発生するベリファイ電圧発生器をさらに備え、前記ベリファイ電圧は少なくとも第1、第2のベリファイ電圧を含み、前記メモリセルトランジスタの閾値変化時に、当該閾値が前記第1、第2のベリファイ電圧の間に入ったことに応答して、前記パルス発生器における前記パルス電圧の絶対値、パルス時間の少なくとも一方を減少させる制御手段をさらに備えている。

【0015】第2の発明に係る不揮発性半導体記憶装置は、第1の発明の不揮発性半導体記憶装置であって、前記ベリファイ電圧は第1～第 $n$  ( $n \geq 3$ ) のベリファイ電圧を含み、前記制御手段は、前記メモリセルトランジスタの閾値変化時に、当該閾値が第1、第2のベリファイ電圧の間、第2、第3のベリファイ電圧の間、・・・第 $(n-1)$ 、第 $n$ のベリファイ電圧の間に入る毎に順次これに応答して、前記パルス発生器における前記パルス電圧の絶対値、パルス時間の少なくとも一方を順次減少させる。

【0016】第3の発明に係る不揮発性半導体記憶装置は、第1又は第2の発明の不揮発性半導体記憶装置であって、前記制御手段による前記パルス電圧の絶対値、パルス時間の少なくとも一方の減少は、前記メモリセルトランジスタのドレインに印加される前記パルスについて行われる。

【0017】第4の発明に係る不揮発性半導体記憶装置は、第1又は第2の発明の不揮発性半導体記憶装置であって、前記制御手段による前記パルス電圧の絶対値、パルス時間の少なくとも一方の減少は、前記メモリセルトランジスタのコントロールゲートに印加される前記パルスについて行われる。

【0018】第5の発明に係る不揮発性半導体記憶装置は、第1又は第2の発明の不揮発性半導体記憶装置であって、前記制御手段による前記パルス電圧の絶対値、パルス時間の少なくとも一方の減少は、前記メモリセルトランジスタのドレイン及びコントロールゲートに印加される前記パルスについて行われる。

【0019】第6の発明に係る不揮発性半導体記憶装置の閾値制御方法は、メモリセルアレイを有し、該メモリセルアレイにおけるメモリセルトランジスタの閾値を変化させることにより情報を記憶する不揮発性半導体記憶装置の閾値制御方法であって、前記メモリセルトランジスタの閾値の変化をベリファイしつつ前記閾値を第1の変化割合で変化させる第1のステップと、前記第1のステップにおいて前記閾値が第1のベリファイ電圧と第2のベリファイ電圧の間に入ったことに応答して、前記閾値の変化をベリファイしつつ前記閾値を前記第1の変化割合よりも緩やかな第2の変化割合で変化させる第2のステップとを備えている。

【0020】第7の発明に係る不揮発性半導体記憶装置

(4)

特開平10-228786

6

の閾値制御方法は、第6の発明の不揮発性半導体記憶装置の閾値制御方法であって、前記閾値が第1、第2のベリファイ電圧の間、第2、第3のベリファイ電圧の間、・・・第 $(n-1)$ 、第 $n$ のベリファイ電圧の間 ( $n \geq 3$ ) に入る毎に順次これに応答して、前記閾値の変化割合を順次緩やかな変化割合に変更しつつ前記閾値を変化させることを特徴とする。

【0021】第8の発明に係る不揮発性半導体記憶装置の閾値制御方法は、第6又は第7の発明の不揮発性半導体記憶装置の閾値制御方法であって、前記メモリセルトランジスタの前記閾値の変化割合の変更は、前記閾値を変化させるために前記メモリセルトランジスタに印加されるパルスにおけるパルス電圧の絶対値、パルス時間の少なくとも一方を減少させることにより行われる。

【0022】

【発明の実施の形態】以下、この発明による不揮発性半導体記憶装置及びその閾値制御方法の実施の形態について、図に基づき説明をする。

【0023】図1は、後述するこの発明の実施の形態1～3における不揮発性半導体記憶装置の回路構成を示すブロック図である。図2は、図1中に示す不揮発性半導体記憶装置のシーケンスコントローラの処理手順を示すフローチャートである。

【0024】図1に示すように、モード制御回路1にはシーケンスコントローラ2が接続されている。このシーケンスコントローラ2は、可変書き込み/消去ベリファイ電圧発生器3、可変書き込み/消去パルス発生器4及びコラムデコーダ5を制御できるように接続されている。可変書き込み/消去ベリファイ電圧発生器3はメモリセルアレイ6のメモリセルの書き込みあるいは消去をベリファイするための電圧を発生し、この電圧をロウデコーダ7を介して選択ワード線のメモリセルに与える。また、可変書き込み/消去パルス発生器4はメモリセルの書き込みあるいは消去を行うためのパルスを発生し、このパルスをコラムデコーダ5を介して選択ビット線のメモリセルあるいはロウデコーダ7を介して選択ワード線のメモリセルに与える。ここで、ベリファイ電圧印加時に、選択されたセルの電流を読み出し、ベリファイ値を満足するかどうかを判断するために、コラムデコーダ5中のセンスアンプはシーケンスコントローラ2と接続されている。

【0025】モード制御回路1は、書き込みモード、消去モード、読み出しモードをシーケンスコントローラ2に指示する。以下には、書き込みあるいは消去モード時のシーケンスコントローラ2の1ビットの書き込みあるいは消去処理手順について図2に基づき説明する。

【0026】先ず、シーケンスコントローラ2により可変書き込み/消去ベリファイ電圧発生器3、可変書き込み/消去パルス発生器4に指示を与えることでベリファイ電圧レベル、書き込みあるいは消去パルス電圧の絶対

50

(5)

特開平10-228786

7

8

値／パルス時間の初期設定を行う（ステップS1）。

【0027】次に、コラムデコーダ5とロウデコーダ7によりメモリセルアレイ6中の書き込みあるいは消去の対象となるメモリセルを選択する（ステップS2）。

【0028】次に、可変書き込み／消去パルス発生器4によりコラムデコーダ5及びロウデコーダ7を介してステップS2で選択されたセルに書き込みあるいは消去パルス電圧を印加する（ステップS3）。これにより選択セルのメモリセルトランジスタの閾値が変化する。

【0029】そして、可変書き込み／消去ペリファイ電圧発生器4により、ロウデコーダ7を介して選択ワード線に書き込みあるいは消去ペリファイ電圧を印加し、選択セルのオン／オフにより流れる／流れない電流をコラムデコーダ5のセンスアンプを介して読み出す。これにより、シーケンスコントローラ2では選択セルの現閾値が現ペリファイ電圧レベルを満足するかどうかの判定を行う。この判定により、現ペリファイ電圧レベルを満足しなければステップS3へ戻り、満足する場合には次のステップへと進む（ステップS4）。

【0030】次に、シーケンスコントローラ2により現ペリファイ電圧レベルが最終ペリファイ電圧レベルであるかどうかの判定を行い、最終ペリファイ電圧レベルである場合は、選択セル（ビット）への書き込みあるいは消去が終了する（ステップS5）。

【0031】もし、ステップS5で最終ペリファイ電圧レベルでないのであれば、シーケンスコントローラ2により可変書き込み／消去パルス発生器4へ書き込みあるいは消去の印加パルス電圧（絶対値）及び／又はパルス時間を減少させるように制御を行う（ステップS6）。

【0032】そして、シーケンスコントローラ2により可変書き込み／消去ペリファイ電圧発生器3へペリファイ電圧レベルを更新するように制御してステップS3へと戻る（ステップS7）。

【0033】以上は1ビット情報の書き込みあるいは消去について説明したが、一般に消去は多ビット一括に行われることが普通である。この場合、前記ステップS4での判断は、消去対象多ビットのうちいずれかのビットで、現ペリファイ電圧レベルを満足するかどうかを判断する。そして、いずれか1ビットでも現ペリファイ電圧レベルを満足すれば、ステップS5へと進み、以下、上述と同様の動作を行う。

【0034】（実施の形態1）以下には、前記図1、図2の構成をDINOR型あるいはAND型フラッシュメモリの書き込みに適用した場合について、図3～図20において、奇数番の図は書き込み動作時のドレイン電圧V<sub>d</sub>、コントロールゲート電圧V<sub>g</sub>の印加の手順（すなわち選択セルのメモリセルトランジスタのドレイン、コントロールゲートに対する書き込みパルスの印加に伴うメモリトランジスタの閾値V<sub>th</sub>の変化をペリファ

イ電圧レベルV<sub>v1</sub>、V<sub>v2</sub>（およびV<sub>v3</sub>）と共に示す図である。

【0035】図3に示すように、1回目に絶対値が同じであるゲート電圧（V<sub>g</sub>）、ドレイン電圧（V<sub>d</sub>）のパルス電圧を200（μSEC）の時間だけステップS2で選択されたセルに印加する。このパルス電圧絶対値・パルス時間はステップS1で初期設定されている。この時、図4の選択セルの閾値の変化は、閾値8aまで下がる（ステップS3に対応）。この様子を、図41を用いて説明するならば、コントロールゲート端子100及びドレイン端子101への書き込みパルスの印加に応じて、フローティングゲート104からドレイン拡散領域105へと電子が引き抜かれる。次に、現閾値8aがステップS1で初期設定されたペリファイ電圧レベルV<sub>v1</sub>を満足するかどうかを判断する（ステップS4）。この場合、閾値8aは初期設定されたペリファイ電圧レベルV<sub>v1</sub>を満足しないのでステップS3のパルス電圧印加の動作に戻る事となる。2回目のステップS3も、初期設定された図3に示すような絶対値が同じであるゲート電圧（V<sub>g</sub>）、ドレイン電圧（V<sub>d</sub>）のパルス電圧を200（μSEC）印加すると、図4に示すように選択セルの閾値は閾値8bとなり、ステップS4でこの閾値8bが初期設定されたペリファイ電圧レベルV<sub>v1</sub>を満足するかどうかを判断して、この場合満足するので次の動作へと移る。

【0036】次に、このペリファイ電圧レベルV<sub>v1</sub>が最終のペリファイ電圧レベルV<sub>v2</sub>であるかどうかの判断を行う（ステップS5）。この時は最終のペリファイ電圧レベルV<sub>v2</sub>ではないので、印加パルス電圧（ドレイン電圧）の減少の動作を行い（ステップS6）、ペリファイ電圧レベルV<sub>v1</sub>からV<sub>v2</sub>へと更新を行う（ステップS7）。再び、パルス電圧の3回目の印加を図3に示すように、通常のパルス電圧値（点線）の絶対値よりも小さいドレイン電圧（V<sub>d</sub>）、通常のゲート電圧（V<sub>g</sub>）のパルス電圧により200（μSEC）の時間だけ行くと、図4の選択セルの閾値は閾値8cとなる（ステップS3）。この時の閾値8cは、現ペリファイ電圧レベルV<sub>v2</sub>を満たすので次の動作に移り（ステップS4）、現ペリファイ電圧レベルV<sub>v2</sub>は最終のペリファイ電圧レベルであるので（ステップS5）、書き込みは終了する。

【0037】以上説明したように、従来の場合（図4の点線）の閾値7aでは、V<sub>o</sub>以下となり、オーバープログラム不良が発生する。しかし、本発明ではメモリセルトランジスタの閾値がペリファイ電圧レベルV<sub>v1</sub>を初めて越えた時、3回目のドレイン電圧（書き込みパルス）が1回目、2回目に印加されていた電圧より減少している。このことで、最終的に、目標とするペリファイ電圧レベルV<sub>v2</sub>とオーバープログラムレベルV<sub>o</sub>の間で、書き込みが終了する。

9

【0038】上述した方法では、印加パルス電圧の絶対値を減少することで、オーバープログラム不良の防止を図っていたが、パルス時間を減少することでも同様の効果は得られる。以下に、その方法を説明する。

【0039】図5及び図6に示すように、図3と同様に1回目、2回目のパルス電圧の選択セルへの印加により、それぞれ閾値9a、9bとなる。ペリファイ電圧レベルVv1が最終のペリファイ電圧レベルではないので、ステップS5からステップS6へと移り、今回の印加パルス電圧・パルス時間減少のステップS6では、印加パルス電圧の絶対値を変更するのではなく、印加パルス時間の減少を図る。そして、ペリファイ電圧レベルをVv1からVv2に更新し（ステップS7）、図5に示す3回目に絶対値が同じゲート電圧（Vg）、ドレイン電圧（Vd）の書き込みパルス電圧の印加を100（μSEC）で行うと（ステップS3）、図4の閾値9cは現ペリファイ電圧レベルVv2、最終ペリファイ電圧レベルを満足するので動作は終了する（ステップS4、S5）。

【0040】以上説明したように、従来の場合（図6の点線）の閾値7aではVoに達し、オーバープログラム不良が発生していた。しかし、本発明ではメモリセルトランジスタの閾値がペリファイ電圧レベルVv1を初めて越えた時、3回目の書き込みパルス電圧の印加時間が1回目、2回目の印加時間より減少している。このことで、最終的に、目標とするペリファイ電圧レベルVv2とオーバープログラムレベルVoの間で、書き込みが終了する。

【0041】上述した2つの方法を組み合わせた、印加パルス電圧の絶対値及び時間の減少でも同様の効果が得られる。以下、その方法について説明する。

【0042】図7及び図8に示すように、図3と同様に1回目、2回目のパルス電圧の選択セルへの印加により、それぞれ閾値10a、10bとなる。印加パルス電圧・パルス時間減少のステップS6では、印加パルス電圧の絶対値と印加パルス時間の両方の減少を図る。このことで、図7に示す3回目に1回目、2回目とは絶対値が異なるゲート電圧（Vg）、同じドレイン電圧（Vd）の書き込みパルス電圧の印加を100（μSEC）で行うと（ステップS3）、図8の閾値10cは現ペリファイ電圧レベルVv2、最終ペリファイ電圧レベルを満足するので動作は終了する（ステップS4、S5）。

【0043】以上説明したように、図4、図6の閾値8c、9cよりも最終のペリファイ電圧レベルVv2に近傍で閾値10cが停止をしている。このことで、図4、図6の場合よりも効果的に、目標ペリファイ電圧レベルVv2を越えて、かつオーバープログラム不良を有効に防止しつつ書き込みが終了する。

【0044】以上のように、本実施の形態1の不揮発性半導体記憶装置及びその閾値制御方法によれば、ペリフ

(6)

特開平10-228786

10

アイ電圧レベルを2値設けることで、メモリセルトランジスタの閾値の変化の度合いを変えることができるので、その結果従来の技術で発生していたオーバープログラム不良をなくすることができる。

【0045】（実施の形態1の変形例1）以上実施の形態1では、書き込みパルスの絶対値を変化させる場合、ドレイン電圧の絶対値の減少を行うことで、メモリセルトランジスタの閾値がオーバープログラムレベル以下とならないように変化の度合いを変えていたのであるが、ドレイン電圧の代わりにゲート電圧の絶対値を変更することでも同様の効果は得られる。以下、その方法についての説明を行う。

【0046】変形例1では、構造的にも動作的にも実施の形態1の図3と同じである。実施の形態1と変形例1との違いは、図9に示すように図2のステップS6において、ドレイン電圧の絶対値を下げる代わりにゲート電圧の絶対値を下げることである。この様にするので、図10に示すような閾値11a、11b、11cが得られ、従来の場合の閾値7aのような、オーバープログラムレベルVoには達しない。

【0047】又、このゲート電圧の絶対値を減少させることに加えて、図11に示すような、ドレイン電圧、ゲート電圧の印加時間を減少させることで、図12の閾値12a、12b、12cが得られ、閾値11cよりもペリファイ電圧レベルVv2の近傍で停止することとなり、最終的に、より一層目標とするペリファイ電圧Vv2の近傍で、書き込みが終了する。このことで、より一層オーバープログラム不良を起さなくなる。

【0048】（実施の形態1の変形例2）以上、実施の形態1及び変形例1で説明したように、書き込みパルスの絶対値を変化させる場合、ドレイン電圧、ゲート電圧どちらか一方を変化させた場合でも、本発明の目的は達成できたが、ドレイン電圧、ゲート電圧両方を変化させた場合でも同様な効果が得られる。

【0049】変形例2は、書き込みする際の構造的、機能的なものは図3とは変わらず、図2のステップS6のみ変わることとなる。

【0050】この場合、図13に示すように、書き込みパルスにおいてゲート電圧、ドレイン電圧の両方の絶対値を減少する。こうすることで、図14に示すように、閾値13a、13b、13cが得られ、従来の技術の閾値7aがオーバープログラムレベルVoに達していたのが、Voに達することなく、Vv2とVoの間で書き込みが終了する。

【0051】又、図15に示すように、上述したことに加えて書き込みパルスにおけるドレイン電圧、ゲート電圧の印加時間を減少することで、図16に示す閾値14a、14b、14cが得られ、図14の閾値13cよりもペリファイ電圧レベルVv2の近傍で書き込みが終了する。このことで、より一層オーバープログラム不良と

11

はならない。

【0052】（実施の形態1の変形例3）以上、ペリファイ電圧レベルが2値の場合について説明してきたが、2値のみならず、ペリファイ電圧レベルが3値以上の場合でも本発明は適用可能である。以下、その方法についての説明を行う。

【0053】書き込みする際の構造、動作の手順は図1及び図2と差異はない。違いは、ステップS6、S7の処理を実行する回数が増えることのみである。なお、ペリファイ電圧レベル3値以上の書き込み全般に適用可能であるが、ここでは最も簡単な3値の場合に限定して説明を行うこととする。

【0054】図17及び図18に示すように、初期設定では書き込み時間を200（ $\mu$ SEC）とする（ステップS1）。そして、書き込みするメモリの選択（ステップS2）、パルス電圧の印加（ステップS3）を行うと閾値15aになる。その後、初期設定されたペリファイ電圧レベル $V_v1$ を満足するか判断をし（ステップS4）、この場合ペリファイ電圧レベル $V_v1$ を満たすので、次のステップに移り、 $V_v1$ が最終のペリファイ電圧レベルであるか判断をして（ステップS5）、この場合最終のペリファイ電圧レベルではないのでステップS6へ移行する。ここでは、書き込みパルスにおけるドレイン電圧の絶対値を減少し（ステップS6）、ペリファイ電圧レベルを $V_v1$ から $V_v2$ へ更新をして（ステップS7）、再び書き込みパルス電圧の印加を行うと変化割合が変わり閾値15bのようになる（ステップS3）。その後、設定されたペリファイ電圧レベル $V_v2$ を満足するので（ステップS4）、ステップS5へと移り、 $V_v2$ は最終のペリファイ電圧レベルではないので、書き込みパルス電圧（ドレイン電圧）の絶対値を更に下げる（ステップS6）。その後、ペリファイ電圧レベルを $V_v2$ から $V_v3$ に更新して（ステップS7）、パルス電圧を選択セルに印加すると、閾値15c（図18）のようになり、 $V_o$ 以下とはならない（ステップS3）。そして、現ペリファイ電圧レベル $V_v3$ を満足し（ステップS4）、 $V_v3$ が最終ペリファイ電圧レベルであるので書き込みが終了する（ステップS5）。

【0055】又、図19及び図20に示すように、書き込みパルスにおけるドレイン電圧、ゲート電圧両方の絶対値に加えて、印加パルス時間をも2回目、3回目で徐々に減少させた場合の閾値は、閾値16a、16b、16cになる。従来の技術の閾値7cがオーバープログラムレベル $V_o$ に達していたのが、 $V_o$ に達することなく、 $V_v3$ と $V_o$ の間でしかも目標とする $V_v3$ に非常に近傍で書き込みが終了する。

【0056】以上説明した通り、ペリファイ電圧レベルが3値の場合には従来の技術で発生していたオーバープログラム不良を更に効果的に抑止することができる。なお、ここではペリファイ電圧レベル3値に限定して述べ

(7)

特開平10-228786

12

ているが、4値以上でも本発明は適用可能であり、この場合でも図18に示す閾値15a、15b、15cのように徐々に閾値の変化度合いが変わっていく。

【0057】以上のように、本実施の形態1の変形例3にかかる不揮発性半導体記憶装置及びその閾値制御方法によれば、ペリファイ電圧レベルを3値以上設けることで、メモリセルトランジスタの閾値の変化の度合いをペリファイ電圧レベルに達する毎に変えることができるので、その結果2値の場合にくらべより一層オーバープログラム不良をなくすることができる。

【0058】（実施の形態2）次に、この発明の実施の形態2における不揮発性半導体記憶装置及びその閾値制御方法について、図21～図30を用いて説明する。なお、本発明の実施の形態2は、図1、図2の構成をNOR型フラッシュメモリの書き込みについて適用したものであり、実施の形態1で述べたDINOR型あるいはAND型とは、書き込みパルスにおけるゲート電圧が正となる点で異なる。

【0059】図21～図30において、奇数番の図は書き込み動作時のドレイン電圧 $V_d$ 、コントロールゲート電圧 $V_g$ の印加の手順（すなわち選択セルのメモリセルトランジスタのドレイン、コントロールゲートに対する書き込みパルスの印加手順）を示す図であり、偶数番の図は書き込みパルスの印加に伴うメモリトランジスタの閾値 $V_{th}$ の変化をペリファイ電圧レベル $V_v11$ 、 $V_v21$ （および $V_v31$ ）と共に示す図である。

【0060】NOR型フラッシュメモリでは、DINOR型あるいはAND型フラッシュメモリとは異なり、書き込み動作において電子の注入をフローティングゲート104（図44）へ行っているため、選択セルの閾値電圧は増加する。従って、図2のステップS7のペリファイ電圧レベルの更新において、ペリファイ電圧レベルは順次高い値に変更される。

【0061】図2のステップS6に至るまでの動作は実施の形態1と同様である。ステップS6では、図21に示すように、書き込みパルスにおけるドレイン電圧の絶対値のみを減少して、次にペリファイ電圧レベル $V_v11$ から $V_v21$ へ更新し（ステップS7）、再び書き込みパルス電圧の印加を行う（ステップS3）。こうすることで、図22に示すように、閾値18a、18b、18cが得られ、従来の技術の閾値17がオーバープログラムレベル $V_o1$ 以上に達していたものが、 $V_o1$ に達することなく、 $V_v21$ と $V_o1$ との間に正確に収まった閾値18cで書き込みが終了する。このことで、多値メモリを構成していた場合であってもオーバープログラム不良とならない。

【0062】また、ステップS6では、図23に示すように、書き込みパルスにおけるゲート電圧、ドレイン電圧の印加パルス時間を減少してもよい（ステップS7）。この場合、図24に示すように、閾値19a、1

50

9b、19cが得られ、上述した場合と同様に従来の技術の閾値17がオーバープログラムレベル $V_{o1}$ に達していたものが、 $V_{o1}$ に達することなく、 $V_{v21}$ と $V_{o1}$ との間に正確に収まった閾値19cで書き込みが終了する。

【0063】また、ステップS6では、図25に示すように、書き込みパルスにおけるゲート電圧、ドレイン電圧の印加パルス時間の減少とドレイン電圧の絶対値の減少の両方を行ってもよい。こうすることで、図26に示すように、閾値20a、20b、20cが得られ、上述

した場合と同様に従来の技術の閾値17がオーバープログラムレベル $V_{o1}$ に達していたものが、 $V_{o1}$ に達することなく、 $V_{v21}$ と $V_{o1}$ との間に正確に収まった閾値20cで書き込みが終了する。

【0064】以上説明したように、図22、図24の閾値18c、19cよりも最終のペリファイ電圧レベル $V_{v21}$ に近傍で閾値20cが停止をしている。このことで、図22、図24の場合よりも効果的に、目標ペリファイ電圧 $V_{v21}$ を越えて、書き込みが終了する。

【0065】以上のように、本実施の形態2の不揮発性半導体記憶装置及びその閾値制御方法によれば、ペリファイ電圧レベルを2値設けることで、メモリセルトランジスタの閾値の変化の度合いを変えることができるので、その結果多値メモリを構成した場合に従来の技術で発生していたオーバープログラム不良をなくすることができる。

【0066】（実施の形態2の変形例）以上、ペリファイ電圧レベルが2値存在する場合について述べてきたが、実施の形態1の変形例3の場合と同様にペリファイ電圧レベルが3値以上存在する場合にも実施の形態2に適用することが可能である。ここでは、ペリファイ電圧レベルが3値存在する場合について述べる。

【0067】図27に示すように、書き込みパルスにおいてドレイン電圧の絶対値が徐々に減少している。このようにして書き込みパルス電圧印加を行っていくと、図26の閾値22a、22b、22cとなり、書き込みが終了する。従来の場合の閾値21がオーバープログラムレベル $V_{o1}$ 以上になっていたものが、 $V_{o1}$ 以上とはならず、 $V_{o1}$ と $V_{v3}$ との間、閾値22cで書き込みが終了する。このことで、多値メモリにおいてオーバープログラム不良を回避できる。

【0068】なお、図29及び図30に示すように、書き込みパルスにおいてドレイン電圧、ゲート電圧の両方の絶対値を減少していくと共に、印加時間を減少していてもよい。この場合には、図30のように、選択セルの閾値が、閾値23a、23b、23cとなり、書き込みが終了するので、従来の場合の閾値21bがオーバープログラムレベル $V_{o1}$ 以上となっていたものが、 $V_{v31}$ と $V_{o1}$ との間に正確に収まって終了する。これより、多値メモリにおいてオーバープログラム不良を回避

できる。

【0069】（実施の形態3）次に、この発明の実施の形態3における不揮発性半導体記憶装置及びその閾値制御方法について、図31～図40を用いて説明する。なお、本実施の形態3は、図1、図2の構成をNAND型のフラッシュメモリの書き込みについて適用したものであり、実施の形態1、2のDINOR（AND）型、NOR型とは異なり、コントロールゲート端子のみに電圧を印加することにより書き込みを行っている。

【0070】図31～図40において、奇数番の図は書き込み動作時のコントロールゲート電圧 $V_g$ の印加の手順（すなわち選択セルのメモリセルトランジスタのコントロールゲートに対する書き込みパルスの印加手順）を示す図であり、偶数番の図は書き込みパルスの印加に伴うメモリトランジスタの閾値 $V_{th}$ の変化をペリファイ電圧レベル $V_{v12}$ 、 $V_{v22}$ （および $V_{v32}$ ）と共に示す図である。

【0071】NAND型フラッシュメモリでは、NOR型フラッシュメモリと同等に、書き込み動作において電子の注入をフローティングゲート104（図45）へ行っているため、選択セルの閾値電圧は増加する。従って、図2のステップS7のペリファイ電圧レベルの更新において、ペリファイ電圧レベルは順次高い値に変更される。

【0072】図2のステップS6に至るまでの動作は実施の形態1と同様である。ステップS6では、図31に示すように、書き込みパルスにおけるゲート電圧の絶対値を減少して、次にペリファイ電圧レベル $V_{v12}$ から $V_{v22}$ へ更新し（ステップS7）、再び書き込みパルス電圧の印加を行う（ステップS3）。こうすることで、図32に示すように、閾値25a、25b、25cが得られ、従来の技術の閾値24がオーバープログラムレベル $V_{o2}$ 以上に達していたものが、 $V_{o2}$ に達することなく、 $V_{v22}$ と $V_{o2}$ との間に正確に収まった閾値25cで書き込みが終了する。このことで、多値メモリを構成した場合であってもオーバープログラム不良とならない。

【0073】又、ステップS6では、図33に示すように、書き込みパルスにおけるゲート電圧の印加パルス時間を減少しても上述した技術的思想と同様の効果は得られる。この場合、図34に示すように、閾値26a、26b、26cが得られ、上述した場合と同様に従来の技術の閾値24がオーバープログラムレベル $V_{o2}$ に達していたものが、 $V_{o2}$ に達することなく、 $V_{v22}$ と $V_{o2}$ との間に正確に収まった閾値26cで書き込みが終了する。

【0074】さらに、ステップS6では、図35に示すように、書き込みパルスにおけるゲート電圧の印加パルス時間の減少とゲート電圧の絶対値の減少の両方を行ってもよい。この場合、図36に示すように、閾値27

15

a、27b、27cが得られ、上述した場合と同様に従来の技術の閾値24がオーバープログラムレベルV<sub>o2</sub>に達していたものが、V<sub>o2</sub>に達することなく、V<sub>v2</sub>とV<sub>o2</sub>との間に正確に収まった閾値26cで書き込みが終了する。

【0075】以上説明したように、図32の閾値25cよりも最終のペリファイ電圧レベルV<sub>v2</sub>2に近傍で閾値27cが停止をしている。このことで、図32、図34の場合よりも効果的に、目標ペリファイ電圧V<sub>v2</sub>2を越えて、書き込みが終了する。

【0076】以上のように、本実施の形態3のNAND型の不揮発性半導体記憶装置及びその閾値制御方法によれば、ペリファイ電圧レベルを2値設けることで、メモリセルトランジスタの閾値の変化の度合いを変えることができるので、その結果多値メモリを構成した場合に従来の技術で発生していたオーバープログラム不良をなくすることができる。

【0077】（実施の形態3の変形例）以上、NAND型の不揮発性半導体記憶装置及びその閾値制御方法における、ペリファイ電圧レベルが2値存在する場合について述べてきたが、ペリファイ電圧レベルが3値以上存在する場合でも本発明の目的は同様に達成できる。3値の場合について以下に説明する。

【0078】図37に示すように、書き込みパルスにおけるゲート電圧の絶対値が徐々に減少している。このようにして書き込みパルス電圧印加を行っていくと、図38の閾値29a、29b、29cとなり、書き込みが終了する。従来の場合の閾値28がオーバープログラムレベルV<sub>o2</sub>以上になっていたものが、V<sub>o2</sub>以上とはならず、V<sub>o2</sub>とV<sub>v3</sub>2との間に正確に収まった閾値29cで書き込みが終了する。このことで、多値メモリにおいてオーバープログラム不良を回避できる。

【0079】なお、図39及び図40に示すように、書き込みパルスにおいてゲート電圧の絶対値、印加時間の両方を減少していてもよい。この場合には、図40のように、選択セルの閾値が、閾値30a、30b、30cとなり、書き込みが終了するので、従来の場合の閾値28bがオーバープログラムレベルV<sub>o2</sub>以上となっていたものが、V<sub>v3</sub>2とV<sub>o2</sub>との間に正確に収まって終了する。これより、多値メモリにおいてオーバープログラム不良を回避できる。

【0080】

【発明の効果】請求項1記載の発明によれば、メモリセルトランジスタの閾値を変化させるためのパルスが発生するパルス発生器と、メモリセルトランジスタの閾値の変化をペリファイするペリファイ電圧発生器と、メモリセルトランジスタの閾値変化時に、閾値が第1、第2のペリファイ電圧の間に入ったことに応答して、パルス電圧の絶対値、パルス時間の少なくとも一方を減少させる制御手段とを備えることで、メモリセルトランジスタの

(9)

特開平10-228786

16

書き込みあるいは消去において閾値がオーバープログラムレベルに達する前に、閾値の変化度合いを変えることができ、メモリセルトランジスタの書き込み及び消去の両動作においてオーバープログラムビットの発生を抑制できる不揮発性半導体記憶装置を提供できるという効果がある。

【0081】請求項2記載の発明によれば、ペリファイ電圧を第1～第n（n≧3）のペリファイ電圧にすることで、メモリセルトランジスタの閾値変化時にそれぞれ第1と第2のペリファイ電圧の間、第3と第4のペリファイ電圧の間、・・・第（n-1）と第nのペリファイ電圧の間に入る毎に、パルス発生器のパルス電圧の絶対値、パルス時間の少なくとも一方を順次減少させることで、メモリセルトランジスタの書き込みあるいは消去において閾値がオーバープログラムレベルに達する前に、閾値の変化度合いを順次に変えることができ、メモリセルトランジスタの書き込み及び消去の両動作においてオーバープログラムビットの発生を抑制できる不揮発性半導体記憶装置を提供できるという効果がある。

【0082】請求項3記載の発明によれば、制御手段によるパルス電圧の絶対値、パルス時間の少なくとも一方の減少を、メモリセルトランジスタのドレインに印加されるパルスについて行うことで、書き込み、消去時にドレイン電圧を印加するDINOR（AND）型、NOR型、NAND型フラッシュメモリにおいて閾値の制御を行うことができオーバープログラムビットの発生を抑制できるという効果がある。

【0083】請求項4記載の発明によれば、制御手段によるパルス電圧の絶対値、パルス時間の少なくとも一方の減少を、メモリセルトランジスタのコントロールゲートに印加されるパルスについて行うことで、書き込み、消去時にゲート電圧を印加するDINOR（AND）型、NOR型フラッシュメモリにおいて閾値の制御を行うことができオーバープログラムビットの発生を抑制できるという効果がある。

【0084】請求項5記載の発明によれば、制御手段によるパルス電圧の絶対値、パルス時間の少なくとも一方の減少を、メモリセルトランジスタのドレイン及びコントロールゲートに印加されるパルスについて行うことで、書き込み、消去時にドレイン及びゲート電圧を印加するDINOR（AND）型、NOR型フラッシュメモリにおいて閾値の制御を行うことができオーバープログラムビットの発生を抑制できるという効果がある。

【0085】請求項6記載の発明によれば、メモリセルトランジスタの閾値の変化をペリファイしながら閾値を第1の変化割合で変化させる第1のステップと、第1のステップにおいて閾値が第1、第2のペリファイ電圧の間に入ったことに応答して、閾値の変化をペリファイしつつ閾値を第1の変化割合よりも緩やかな第2の変化割合で変化させる第2のステップとを備えることで、メモ

(10)

特開平10-228786

17

18

リセルトランジスタの書き込みあるいは消去において閾値がオーバープログラムレベルに達する前に、閾値の変化割合を変え、メモリセルトランジスタの書き込み及び消去の両動作においてオーバープログラムビットの発生を抑制できる不揮発性半導体記憶装置の閾値制御方法を提供できるという効果がある。

【0086】請求項7記載の発明によれば、閾値がそれぞれ第1と第2のペリファイ電圧の間、第3と第4のペリファイ電圧の間、・・・第(n-1)と第nのペリファイ電圧の間に入る毎に、閾値の変化割合を順次緩やかな変化割合にすることで、メモリセルトランジスタの書き込み及び消去において、閾値がオーバープログラムレベルに達する前に、閾値の変化割合を変えることができ、メモリセルトランジスタの書き込み及び消去の両動作においてオーバープログラムビットの発生を抑制できる不揮発性半導体記憶装置の閾値制御方法を提供できるという効果がある。

【0087】請求項8記載の発明によれば、閾値の変化割合の変更を、書き込みあるいは消去パルス電圧の絶対値及びパルス時間の少なくとも一方の減少で行うことで、種々の不揮発性半導体記憶装置においても、閾値の変化割合を変えることができ、メモリセルトランジスタの書き込み及び消去の両動作においてオーバープログラムビットの発生を抑制できる不揮発性半導体記憶装置の閾値制御方法を提供できるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1〜3に係る不揮発性半導体記憶装置の回路構成を示すブロック図である。

【図2】 この発明の実施の形態1〜3に係る不揮発性半導体記憶装置の閾値制御方法の動作手順を示すフローチャートである。

【図3】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図4】 この発明の実施の形態1に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図5】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図6】 この発明の実施の形態1に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図7】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図8】 この発明の実施の形態1に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図9】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図10】 この発明の実施の形態1に係る不揮発性半

導体記憶装置の閾値の変化を表すグラフである。

【図11】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図12】 この発明の実施の形態1に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図13】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図14】 この発明の実施の形態1に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図15】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図16】 この発明の実施の形態1に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図17】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図18】 この発明の実施の形態1に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図19】 この発明の実施の形態1に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図20】 この発明の実施の形態1に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図21】 この発明の実施の形態2に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図22】 この発明の実施の形態2に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図23】 この発明の実施の形態2に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図24】 この発明の実施の形態2に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図25】 この発明の実施の形態2に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図26】 この発明の実施の形態2に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図27】 この発明の実施の形態2に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図28】 この発明の実施の形態2に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図29】 この発明の実施の形態2に係る不揮発性半導体記憶装置のドレイン電圧、ゲート電圧の印加シーケンスを示す図である。

【図30】 この発明の実施の形態2に係る不揮発性半

(11)

特開平10-228786

19

20

導体記憶装置の閾値の変化を表すグラフである。

【図31】 この発明の実施の形態3に係る不揮発性半導体記憶装置のゲート電圧の印加シーケンスを示す図である。

【図32】 この発明の実施の形態3に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図33】 この発明の実施の形態3に係る不揮発性半導体記憶装置のゲート電圧の印加シーケンスを示す図である。

【図34】 この発明の実施の形態3に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図35】 この発明の実施の形態3に係る不揮発性半導体記憶装置のゲート電圧の印加シーケンスを示す図である。

【図36】 この発明の実施の形態3に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図37】 この発明の実施の形態3に係る不揮発性半導体記憶装置のゲート電圧の印加シーケンスを示す図である。

【図38】 この発明の実施の形態3に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図39】 この発明の実施の形態3に係る不揮発性半導体記憶装置のゲート電圧の印加シーケンスを示す図である。

【図40】 この発明の実施の形態3に係る不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図41】 従来の技術のDINOR型の不揮発性半導体記憶装置の書き込み動作を説明する断面図である。

【図42】 従来の技術の不揮発性半導体記憶装置の閾値の変化を表すグラフである。

【図43】 従来の技術の不揮発性半導体記憶装置の閾値の変化を表すグラフである。

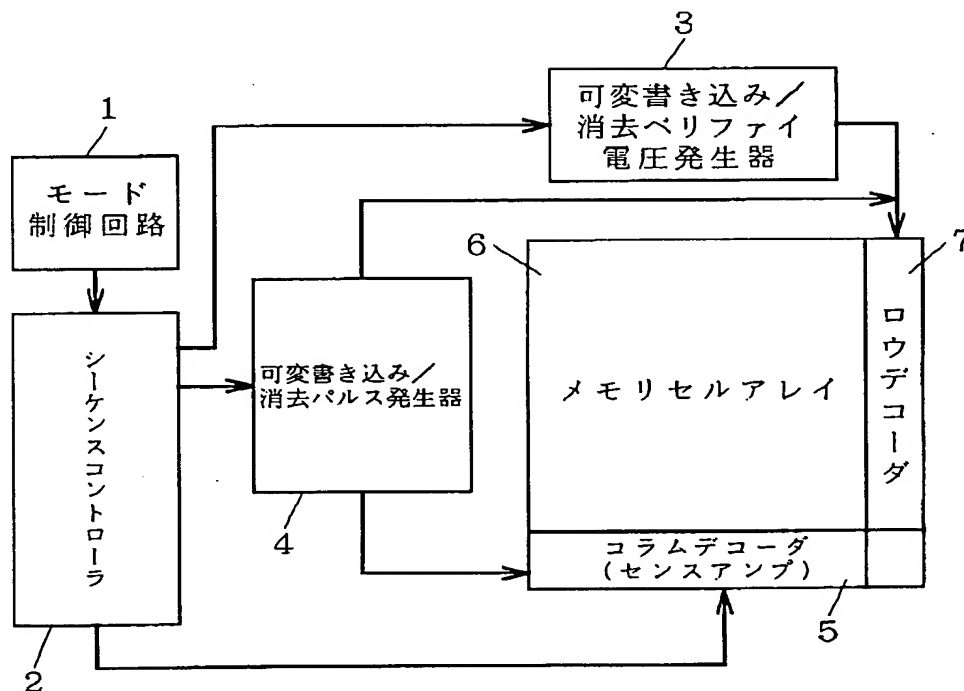
【図44】 従来の技術のNOR型の不揮発性半導体記憶装置の書き込み動作を説明する断面図である。

【図45】 従来の技術のNAND型の不揮発性半導体記憶装置の書き込み動作を説明する断面図である。

【符号の説明】

1 モード制御回路、2 シーケンスコントローラ、3 可変書き込み／消去ペリフェイ電圧発生器、4 可変書き込み／消去パルス発生器、5 コラムデコーダ（センスアンプ）、6 メモリセルアレイ、7 ロウデコーダ。

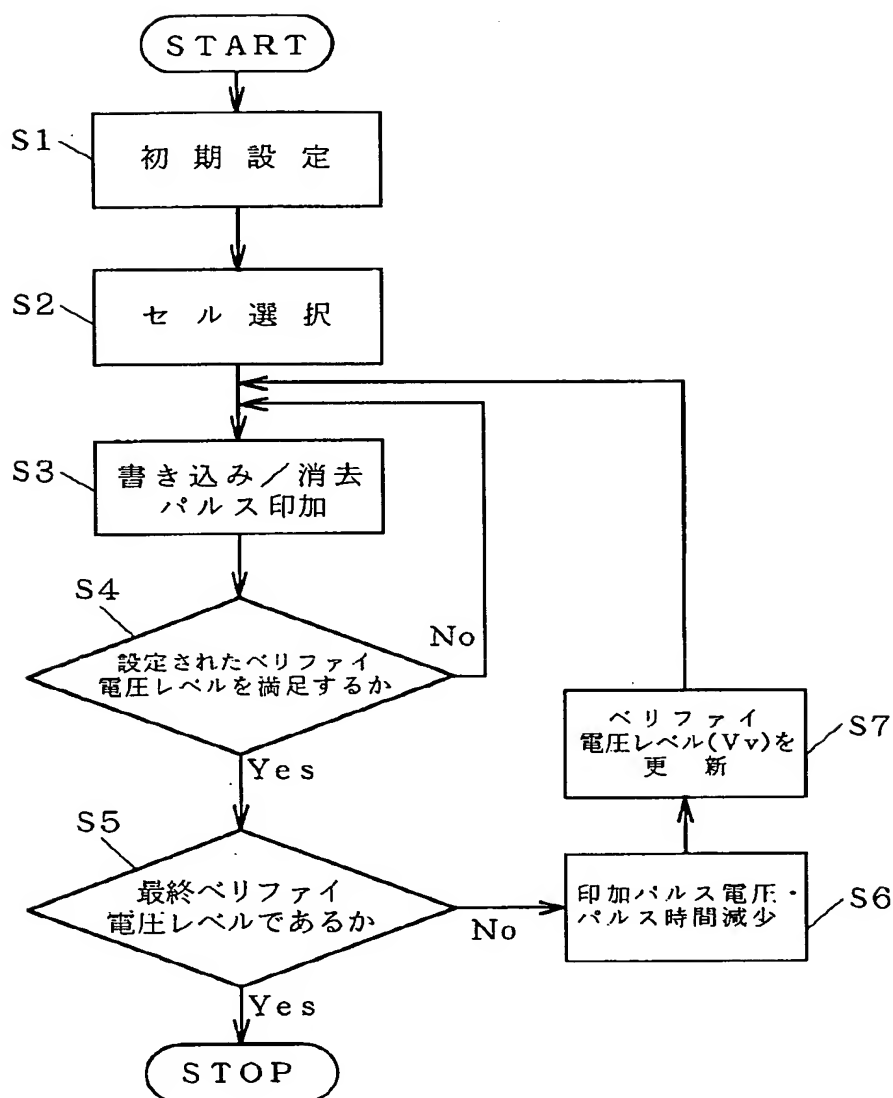
【図1】



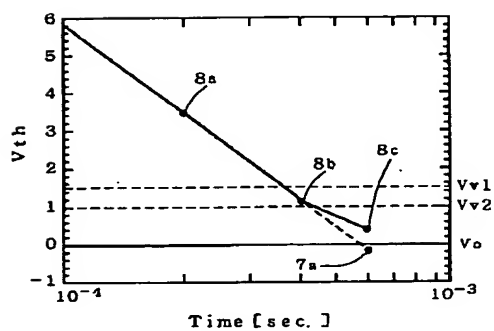
(12)

特開平10-228786

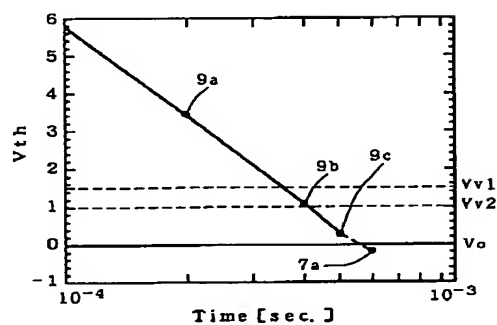
【図2】



【図4】



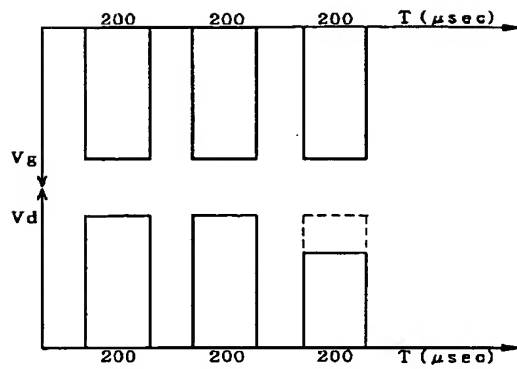
【図6】



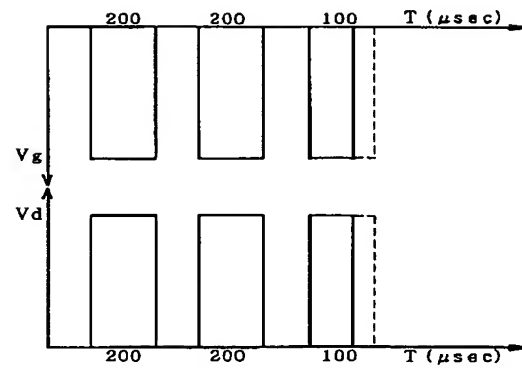
(13)

特開平10-228786

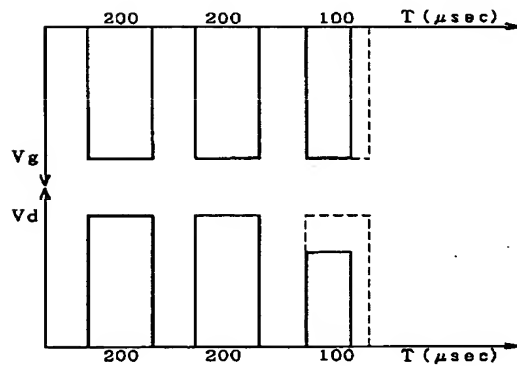
【図3】



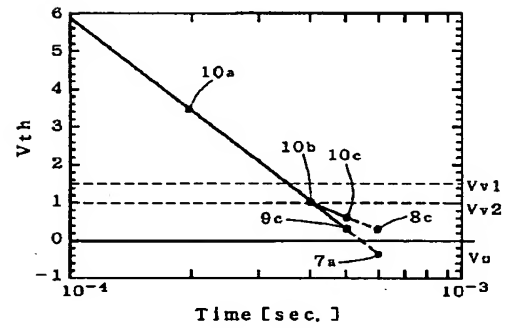
【図5】



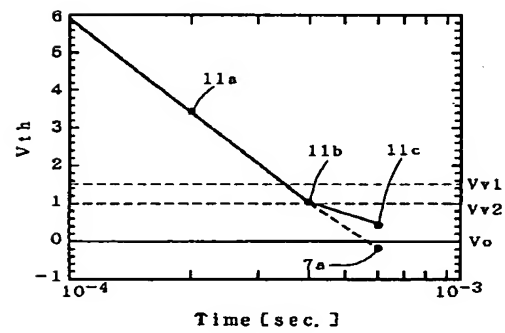
【図7】



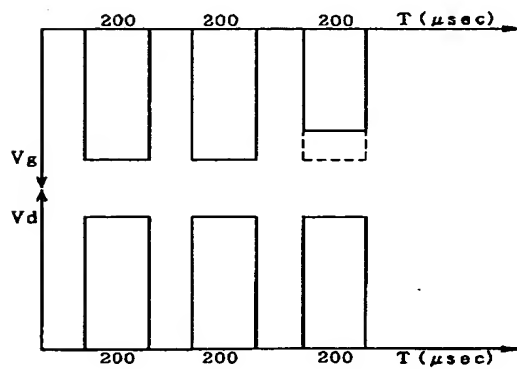
【図8】



【図10】



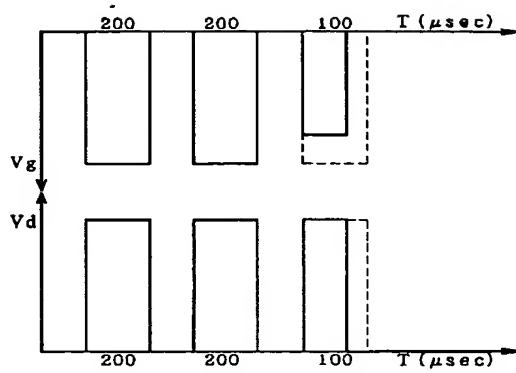
【図9】



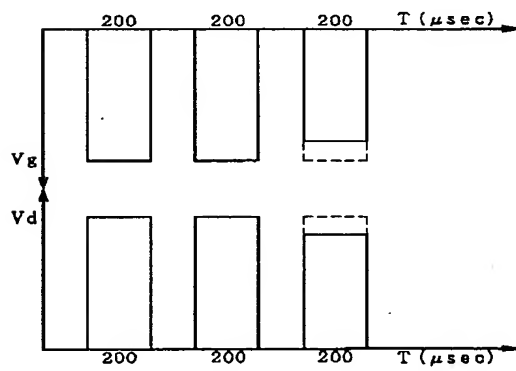
(14)

特開平10-228786

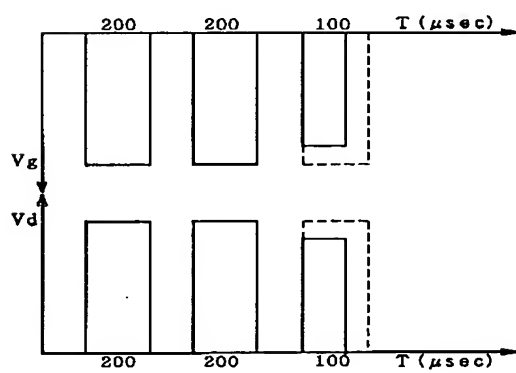
【図11】



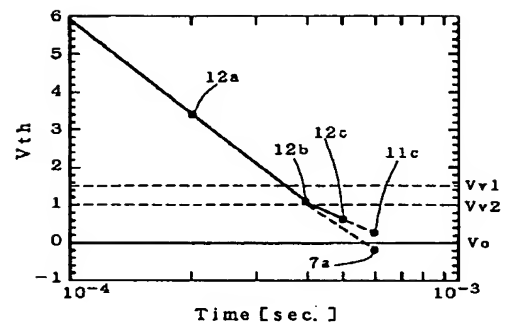
【図13】



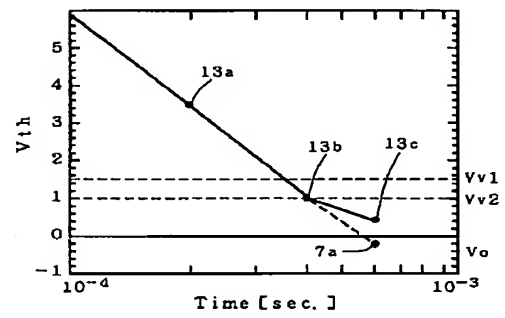
【図15】



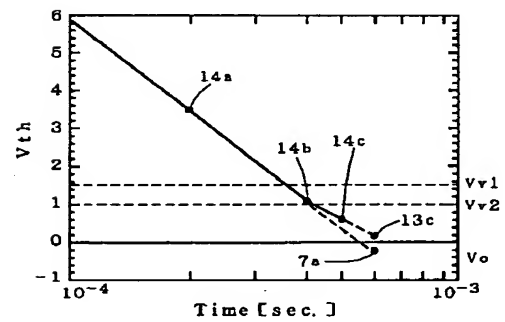
【図12】



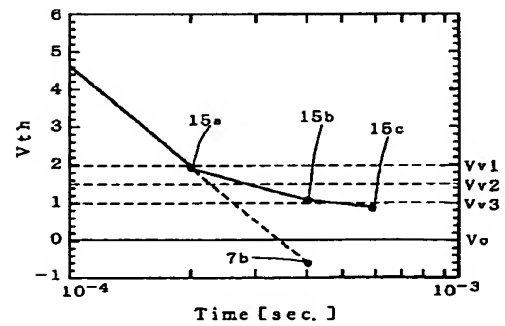
【図14】



【図16】



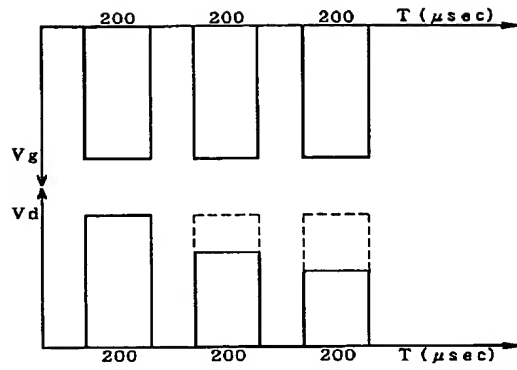
【図18】



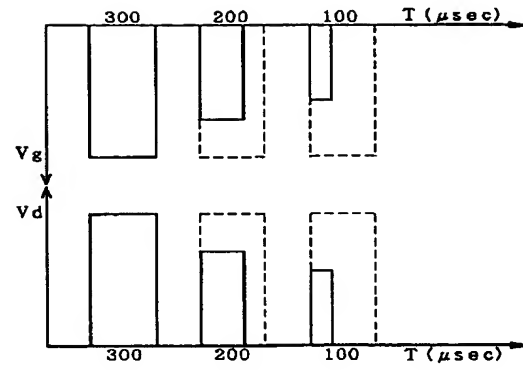
(15)

特開平10-228786

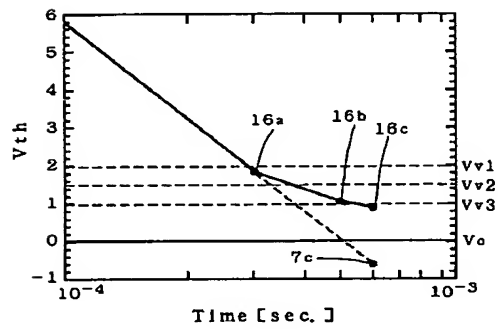
【図17】



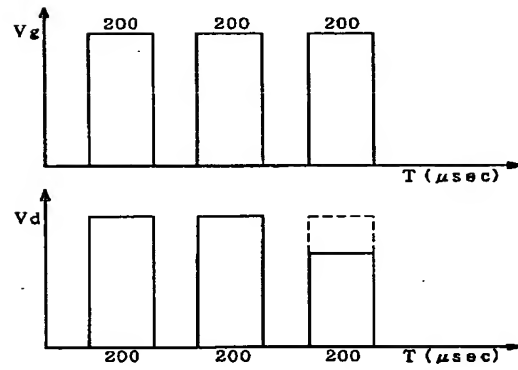
【図19】



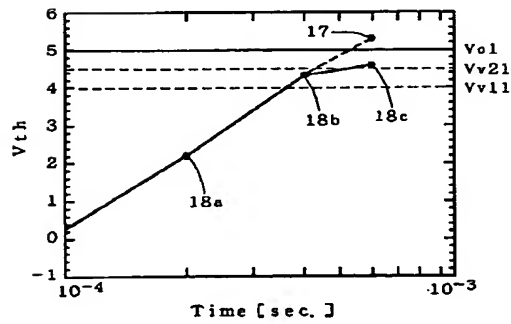
【図20】



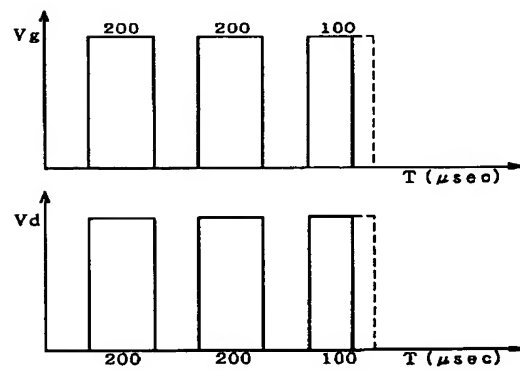
【図21】



【図22】



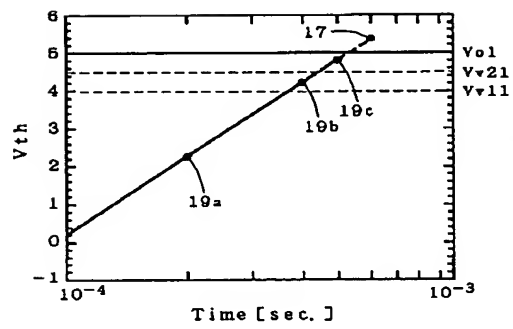
【図23】



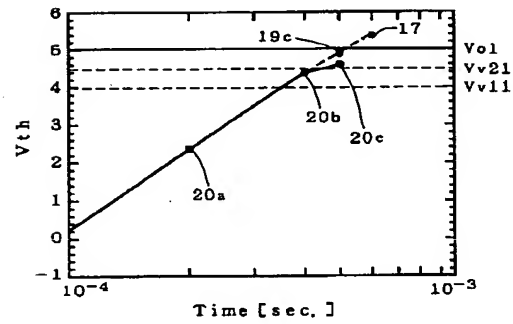
(16)

特開平10-228786

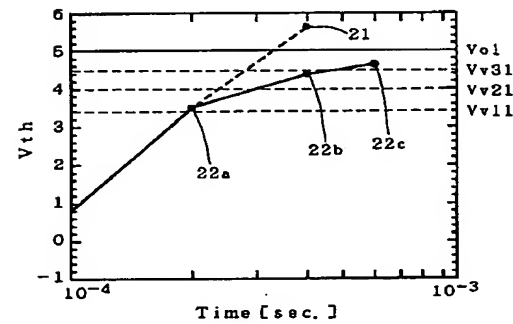
【図24】



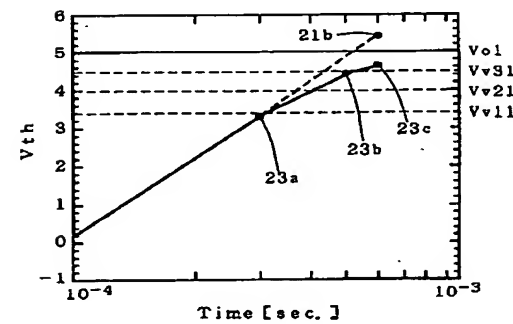
【図26】



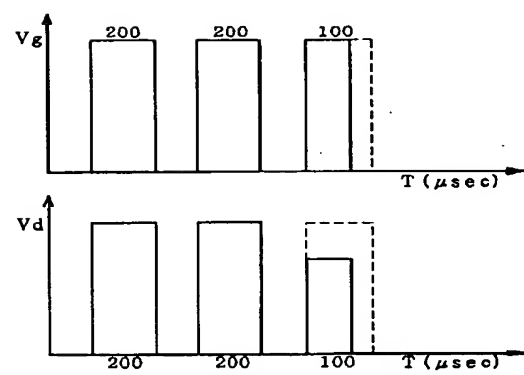
【図28】



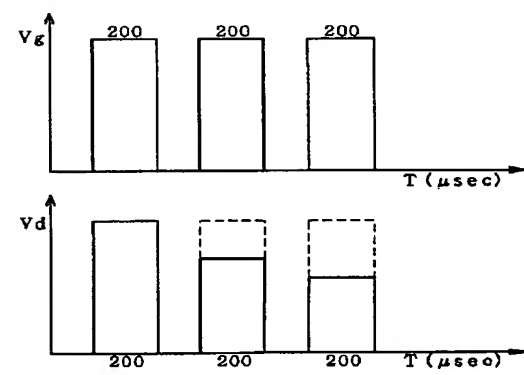
【図30】



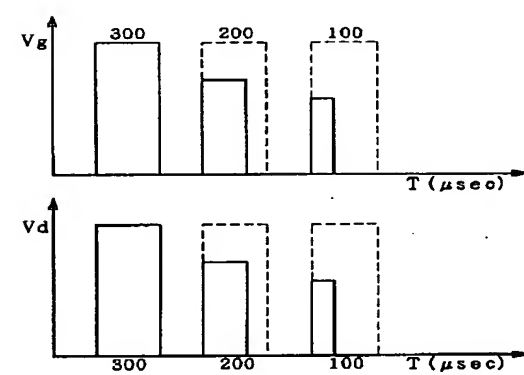
【図25】



【図27】



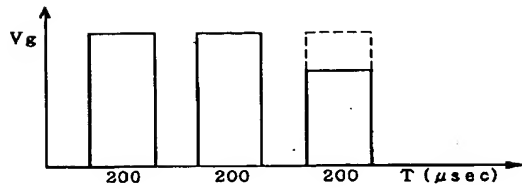
【図29】



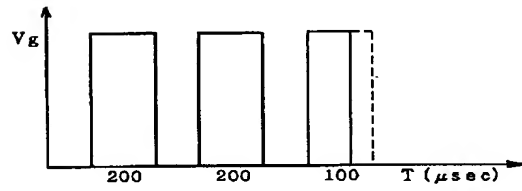
(17)

特開平10-228786

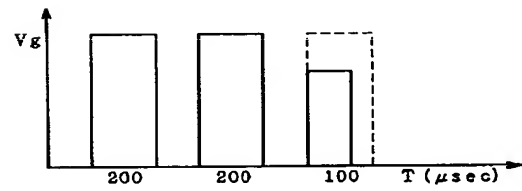
【図31】



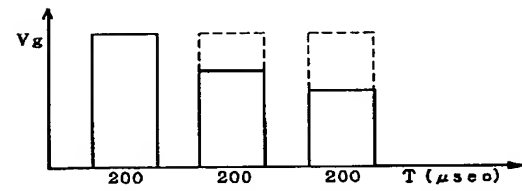
【図33】



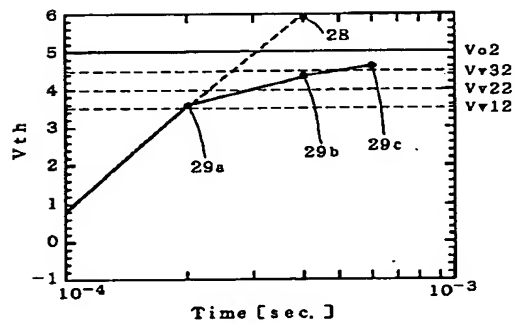
【図35】



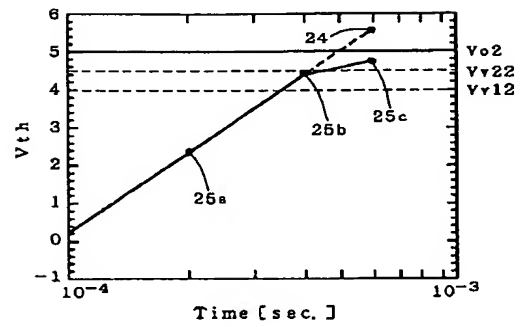
【図37】



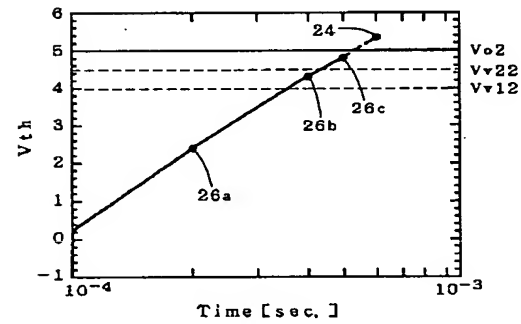
【図38】



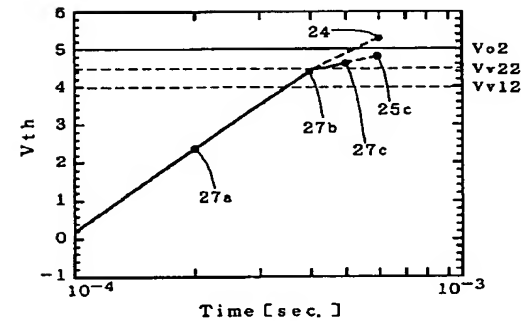
【図32】



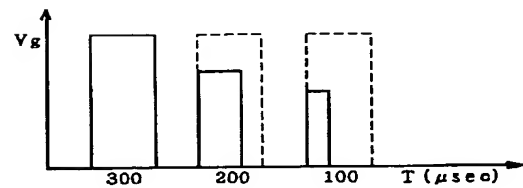
【図34】



【図36】



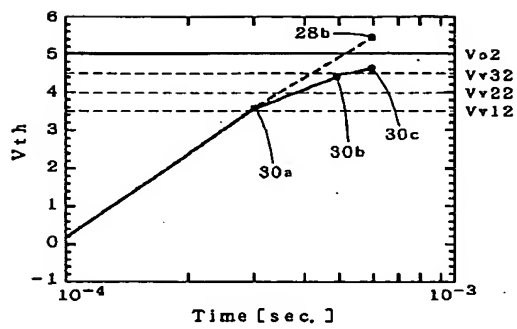
【図39】



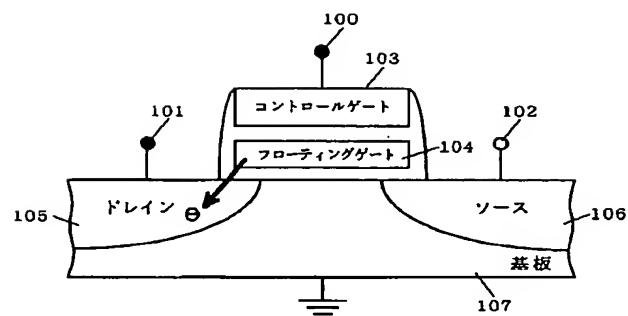
(18)

特開平10-228786

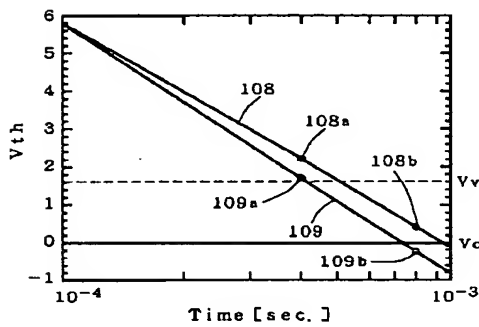
【図40】



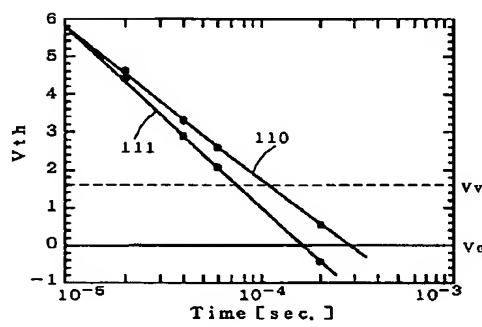
【図41】



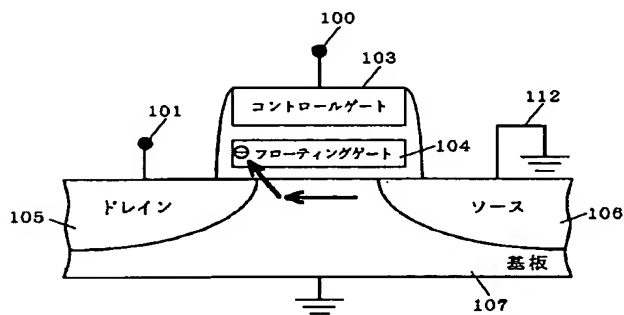
【図42】



【図43】



【図44】



【図45】

